

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-094773

(43)Date of publication of application : 27.05.1985

(51)Int.CI. H01L 29/78
// H01L 27/00
H01L 27/12
H01L 29/60

(21)Application number : 58-201655

(71)Applicant : AGENCY OF IND SCIENCE & TECHNOLOGY

(22)Date of filing : 27.10.1983

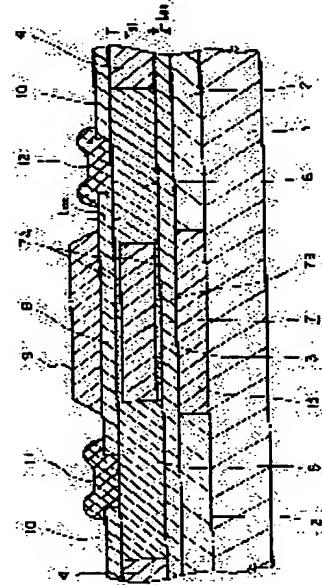
(72)Inventor : SEKIKAWA TOSHIHIRO
HAYASHI YUTAKA
TSURUSHIMA TOSHIO

(54) FIELD EFFECT TRANSISTOR

(57)Abstract:

PURPOSE: To shorten the channel length by forming a gate electrode through a gate insulating film on both side surfaces of a channel region, and deciding the thickness between the both side surfaces so as to satisfy between the inverting layers with a depletion layer when the inverting layers are formed on both side surfaces.

CONSTITUTION: The first gate electrode 9 is formed through the first gate insulating film 8 on one surface of a channel region 7, and the second gate electrode 13 is formed through the second gate insulating film 3 on the other surface of the region 7. When inverting layers 7A are formed on both side surfaces of the region 7, the thickness T_{Si} between the both side surfaces of the region 7 is decided so that the portion between the two layers 7A of the region 7 is filled with a depletion layer 7B. Thus, the channel length can be shortened without decreasing the threshold voltage, thereby shortening the operating time and enhancing the integrating density.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

[of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11)特許出願公告番号

特公平7-50785

(24) (44)公告日 平成7年(1995)5月31日

(51) Int.Cl. ⁶ H 01 L 29/786	識別記号 9056-4M 9056-4M	序内整理番号 H 01 L 29/ 78	F I	技術表示箇所 3 1 1 H 3 1 1 G
--	----------------------------	-------------------------	-----	------------------------------

発明の数1(全7頁)

(21)出願番号 特願昭58-201655	(71)出願人 99999999 工業技術院長 東京都千代田区霞が関1丁目3番1号
(22)出願日 昭和58年(1983)10月27日	(72)発明者 関川 敏弘 茨城県新治郡桜村梅園1丁目1番4号 電子技術総合研究所内
(65)公開番号 特開昭60-94773	(72)発明者 林 豊 茨城県新治郡桜村梅園1丁目1番4号 電子技術総合研究所内
(43)公開日 昭和60年(1985)5月27日	(74)指定代理人 工業技術院電子技術総合研究所長
出願人において、実施許諾の用意がある。	審判の合議体 審判長 飛鳥井 春雄 審判官 河合 章 審判官 吉水 純子
審判番号 平6-13246	最終頁に続く

(54)【発明の名称】電界効果トランジスタにおける短チャネル効果の抑制方法

【特許請求の範囲】

【請求項1】チャネル領域と、
該チャネル領域の一方の表面上に形成した第1ゲート絶縁膜と、
該第1ゲート絶縁膜上に形成した第1ゲート電極と、
前記チャネル領域の他方の表面上に形成した第2ゲート絶縁膜と、
該第2ゲート絶縁膜上に形成した第2ゲート電極とを有する電界効果トランジスタにおいて、
前記チャネル領域の両方の表面にそれぞれ反転層を形成することによって、前記チャネル領域における前記2つの反転層間の部分を空乏層によって満たすことを特徴とする電界効果トランジスタにおける短チャネル効果の抑制方法。

【発明の詳細な説明】

【技術分野】

本発明は、例えば絶縁物、半絶縁物または半導体結晶からなる基板上に形成された絶縁ゲート型の電界効果トランジスタに関し、特にチャネル領域の両方の表面上に、絶縁膜を介してゲート電極を各々設けた電界効果トランジスタにおける短チャネル効果の抑制方法に関するものである。

【従来技術】

通常MOSトランジスタのチャネル長を短くして行くとあるチャネル長以下でしきい値電圧の低下が顕著になる現象、いわゆる短チャネル効果の原因の一つに、チャネル下の空乏層内をドレイン電界が通ることによりソース領域近傍の電位分布が影響を受ける点がある。そこでこの空乏層の厚さを薄くすればドレイン電界が通り難くなるから、短チャネル効果の防止法の一つとして空乏層の厚

さを薄くすることが考えられ、通常これはチャネル領域の不純物濃度を高めることで行われている。しかし、チャネル領域の不純物濃度を高めるには耐圧などの関係から限界があるので空乏層の厚さを薄くするには限界があり、また素子特性の面からはチャネルのキャリヤ移動度が著しく低下してしまうなどの欠点があり、この方法による短チャネル効果の防止には限界がある。そこで、チャネル領域を形成する半導体層自体を薄くし、この限界を打破する試みとして第1図の構造が提案されている。第1図はチャネル領域の両方の表面上に、絶縁膜を介してゲート電極を各々設けた従来の電界効果トランジスタの一例についての断面を示し、ここに、1は絶縁物、半絶縁物または半導体結晶からなる基板、2は基板1上に形成した絶縁層、3は絶縁層2上に形成した下部ゲート絶縁膜、41、51、61および71は、それぞれ、ゲート絶縁膜3上に形成した絶縁層、ソース領域、ドレイン領域およびチャネル領域である。

チャネル領域71の両側の一方に、ソース領域51が配置され、同他方にドレイン領域61が配置され、ソース領域51およびドレイン領域61の外側に絶縁層41が配置されている。

チャネル領域71上、ソース領域51上的一部およびドレイン領域61上的一部を覆うように上部ゲート絶縁膜8が、上部ゲート絶縁膜8上には上部ゲート電極9が形成されている。

ソース領域51上の残余の一部、ドレイン領域61上の残余の一部および絶縁層41上には絶縁層10が形成され、上部ゲート絶縁膜8の両側の一方と絶縁層10との間には、ソース領域51に接するソース電極11が設けられ、上部ゲート絶縁膜8の両側の他方と絶縁層10との間には、ドレイン領域1に接するドレイン電極12が設けられている。

チャネル領域71の下には、絶縁層2と同一面上に位置するように下部ゲート電極13が形成されている。

以上のような構成において、下部ゲート電極13は、次のような不都合を防止する。すなわち、単に半導体層を薄くしただけではこれを支えている基板1を通してドレイン電界がソース領域近傍の電位分布に影響を与え、短チャネル効果の防止なる目的が達成できない懸念があるので、この点を防ぐために設けられている。

しかしながら、上述のような電界効果トランジスタにおいては、例えば、チャネル領域71の両方の表面に反転層71Aが形成されると、チャネル領域71内には、その両方の表面から厚さ方向の中心に向って所定の厚さの空乏層71Bが形成されると共に、その厚さ方向の中心部分に空乏層とならない領域71Cが残ることがある。

この場合は、領域71Cが形成されることによって、上述のような2つのゲート電極を持つ2重ゲート型の構造の

$$D = \sqrt{\frac{4 \cdot \epsilon_s \cdot \phi_F}{q \cdot N_A}}$$

電界効果トランジスタは領域71Cをその間にはさんで、その場合のチャネル領域の不純物濃度で定まる短チャネル効果を有する2つの单一ゲート型の電界効果トランジスタが対向して配置された構造と実質的に等価であるとみなすことができる。このため、チャネル領域を形成する半導体層自体を薄くすることによる短チャネル効果抑制の効果を期待することが困難である。

[目的]

したがって、本発明の目的は、以上のような問題を解消して、しきい値電圧を低下させることなくチャネル長を短くすることができ、これによって動作時間を短くし、しかも集積密度を高くすることができる電界効果トランジスタにおける短チャネル効果の抑制方法を提供することにある。

[発明の構成]

かかる目的を達成するために、本発明は、チャネル領域と、該チャネル領域の一方の表面上に形成した第1ゲート絶縁膜と、該第1ゲート絶縁膜上に形成した第1ゲート電極と、前記チャネル領域の他方の表面上に形成した第2ゲート絶縁膜と、該第2ゲート絶縁膜上に形成した第2ゲート電極とを有する電界効果トランジスタにおいて、前記チャネル領域の両方の表面にそれぞれ反転層を形成することによって、前記チャネル領域における前記2つの反転層間の部分を空乏層によって満たすことを特徴とする。

[実施例]

以下に本発明を図面を参照して詳細に説明する。

第2図は本発明にかかる電界効果トランジスタの一実施例を示す断面図であり、図中、第1図と同様の部分は同一符号で示し、その詳細な説明は省略する。第2図に示すように、4は、ゲート絶縁膜3上に形成した絶縁層、5はゲート絶縁膜3上に形成したソース領域、6はゲート絶縁膜3上に形成したドレイン領域、7はゲート絶縁膜3上に形成したチャネル領域である。

なお、以下においては、第2図に示す電界効果トランジスタについて、下記条件を満たしているものとして説明する。すなわち、チャネル領域7にnチャネルを形成し、チャネル領域7の不純物濃度を一様にし、トランジスタの主動作領域外部において、オーム性接触を通じてソース領域5と同一の電位にチャネル領域7をバイアスし、チャネル領域の両方の表面に反転層を形成した。

第2図に示すように、チャネル領域7の厚さT_{Sj}を、次のようにして決定する。すなわち、一般に、電界効果トランジスタにおいては、チャネル領域の表面に反転層が形成されるときには、チャネル領域における反転層下の部分に空乏層が形成される、その空乏層の厚さDは、

… (1)

によって表わされる。ここに、 ε_s はチャネル領域を形成する半導体の誘電率、 q は電子電荷、 N_A はチャネル領域の不純物濃度である。 ϕ_F は、 k をボルツマン定数、 T を絶対温度、 n_i を真性キャリア濃度とすると、次式によって表わされる。

$$\phi_F = \frac{kT}{q} \ln \frac{N_A}{n_i}$$

本発明においては、チャネル領域 7 の厚さ T_{Si} を、第 2 図に示すように、一例として、

$$T_{Si} < 2D \quad \dots (3)$$

となるように決定する。

この(3)式は、チャネル領域 7 の上下両方の表面に反転層 7A が形成されたときに、チャネル領域 7 における上下 2 つの反転層 7A の内側の部分が空乏層 7B によって満たされるのに十分な条件である。

したがって、上記(3)式を満足することによって、チャネル領域 7 における 2 つの反転層 7A の内側の部分を空乏層によって満たすことができる。これによって、例えば、ドレイン電界の影響を受けずに、ソース領域 5 とチャネル領域 7 との間の障壁電位が低下することを抑えることができる。

次いで、第 2 図に示すように、上部ゲート絶縁膜 8 の膜厚と下部ゲート絶縁膜 3 の膜厚とが等しく、上部ゲート電極 9 の材質と下部ゲート電極 13 の材質とが等しいような上下対称構造を持った本発明電界効果トランジスタについて、しきい値電圧のチャネル長依存性を求めた結果を第 3 図に示す。

第 3 図は、 $N_A = 4 \times 10^{16} \text{ cm}^{-3}$ であり、上部および下部ゲート絶縁膜 8 および 3 の膜厚 t_{ox} が 20nm であり、上記(3)式を満足するチャネル領域 7 の 3 つの各々異なる厚さ T_{Si} を持つ本発明電界効果トランジスタの各々に対して、2 つのドレイン電圧 V_{ds} 、すなわち、0.1

(V) および 4.0 (V) を選定して求めた、しきい値電圧のチャネル長依存性を示す。第 3 図中の実線は $V_{ds} = 0.1$ (V) の場合を示し、破線は $V_{ds} = 4.0$ (V) の場合を示す。

なお、ここで、短チャネル効果抑制の効果を評価するため、飽和しきい値電圧が得られるような十分に長いチャネル長におけるしきい値電圧値より 20mV 低下したしきい値電圧値となるチャネル長を L_c と定義する。

一方、比較のために、 N_A および上部ゲート絶縁膜の膜厚が本発明電界効果トランジスタにおける N_A および上部ゲート絶縁膜と同じであり、チャネル領域の厚さを、チャネル領域の表面に反転層が形成されたときにその下に形成される空乏層の厚さとして 157nm が得られるような厚さにした単一ゲート型の電界効果トランジスタを用意し、このような単一ゲート型の電界効果トランジスタにおいて $V_{ds} = 4.0$ V としたときの L_c を求めたところ、 $1.5 \mu\text{m}$ であった。

これに対し、 $T_{Si} = 300$ nm の本発明電界効果トランジ

タにおいて $V_{ds} = 4.0$ V としたときの L_c は、第 3 図から明らかのように $1.2 \mu\text{m}$ であった。したがって、この場合、比較のための単一ゲート型の電界効果トランジスタにおけるチャネル長よりも本発明電界効果トランジスタにおけるチャネル長の方を 20% 短くすることができる事が明らかである。

なお、第 3 図から、 $T_{Si} = 200$ nm のとき L_c は約 $0.9 \mu\text{m}$ となり、 $T_{Si} = 100$ nm のとき L_c は約 $0.6 \mu\text{m}$ となることが明らかである。このように、上記(3)式を満たす条件において、 T_{Si} を小さくするほど、 L_c を小さくすることができる。

第 4 図は、 t_{ox} を変えずに、チャネル領域の不純物濃度 $N_A = 4 \times 10^{15} \text{ cm}^{-3}$ 、すなわち、前述した N_A を、 $N_A = 4 \times 10^{16} \text{ cm}^{-3}$ の 1/10 にした本発明電界効果トランジスタについての、しきい値電圧のチャネル長依存性を示す図である。第 4 図に示すように、不純物濃度を小さくすることによって、 L_c は増加せずに、逆に減少する傾向を示した。

第 5 図は、第 3 図に示す結果と第 4 図に示す結果とをまとめて、 L_c の T_{Si} 依存性を示した図である。ここで、 $t_{ox} = 200$ nm である。第 5 図によって、 L_c は、 T_{Si} の減少と共に小さくなり、また、 T_{Si} が小さくなるほど 2 つの異なる不純物濃度の間隔が小さくなっている。 L_c の不純物濃度依存性は小さくなることがわかる。

以上から、所望の L_c を持つ電界効果トランジスタを得ようとするときには、上記(3)式を満たす条件において、 T_{Si} を適当に選ぶだけではなく、しかも N_A は、従来よりも低い値を任意に選択することができる事がわかる。これによって、素子設計を容易にすることができます。すなわち、 N_A が小さければ、チャネル領域の表面部分におけるキャリア移動度を大きくし、接合の耐圧も大きくすることができることが期待されるからである。

なお、第 3 図および第 4 図から明らかなように、 T_{Si} の減少と共に、飽和しきい値電圧が得られるような長いチャネル長におけるしきい値電圧値自体は低くなるが、このしきい値電圧値は、ゲート電極材料を適切に選び、フラットバンド電圧を調整することによって改善することができる。これに対して、従来の単一ゲート型、または T_{Si} が上記(3)式を満足しないような厚さの二重ゲート型の電界効果トランジスタにおいては、ゲート電極材料の選択、フラットバンド電圧の調節によっても低い N_A を持たせることはできない。その理由は、上述のような従来素子においては、ゲート絶縁膜厚を本発明電界効

… (2)

果トランジスタと同じとすると、 N_A を低くすることによって L_c は大きな値になってしまふからである。

以上の説明は、上部ゲート絶縁膜の厚さと、下部ゲート絶縁膜の厚さとが等しく、上部ゲート電極の材質と、下部ゲート電極の材質とが同じであるような上下対称構造を持つ二重ゲート型の電界効果トランジスタについてであるが、上部および下部の絶縁膜厚が異なっても、空乏層は上部および下部のゲート絶縁膜間に広がる。したがって、上部および下部のゲート絶縁膜厚が異なるような上下非対称構造を持つ電界効果トランジスタにも本発明を適用できることは明らかである。

また、チャネル領域が厚さ方向に不均一な不純物濃度分布を持っていても、その両方の表面に反転層が形成されたときに残りの部分を空乏層によって、満たせばよい。

さらにまた、チャネル領域を縦形にし、その両側にゲート絶縁膜およびゲート電極を配置した構造の電界効果トランジスタにも本発明を有効に適用することができる。

[効果]

以上説明したように、本発明によれば、短チャネル効果を顕著に抑制することができ、しきい値電圧を低下させることなくチャネル長を短くすることができ、これによって動作時間を短くし、しかも集積密度を高くすることができる電界効果トランジスタを提供することができ

る。

また、本発明によれば、 $1 \mu m$ 以下のチャネル長であって低不純物濃度のチャネル領域を持つ電界効果トランジスタを得ることができ、これによって大きな表面キャリア移動度と高接合耐圧とを期待することができて、素子設計が有利になる。

【図面の簡単な説明】

第1図は、従来の電界効果トランジスタの一例を示す断面図。

第2図は、本発明にかかる電界効果トランジスタの一実施例を示す断面図。

第3図および第4図は、本発明電界効果トランジスタにおけるしきい値電圧のチャネル長依存性をそれぞれ示す図。

第5図は、本発明電界効果トランジスタにおける L_c の T_{Si} 依存性を示す図である。

3……下部ゲート絶縁膜、

7……チャネル領域、

7A……反転層、

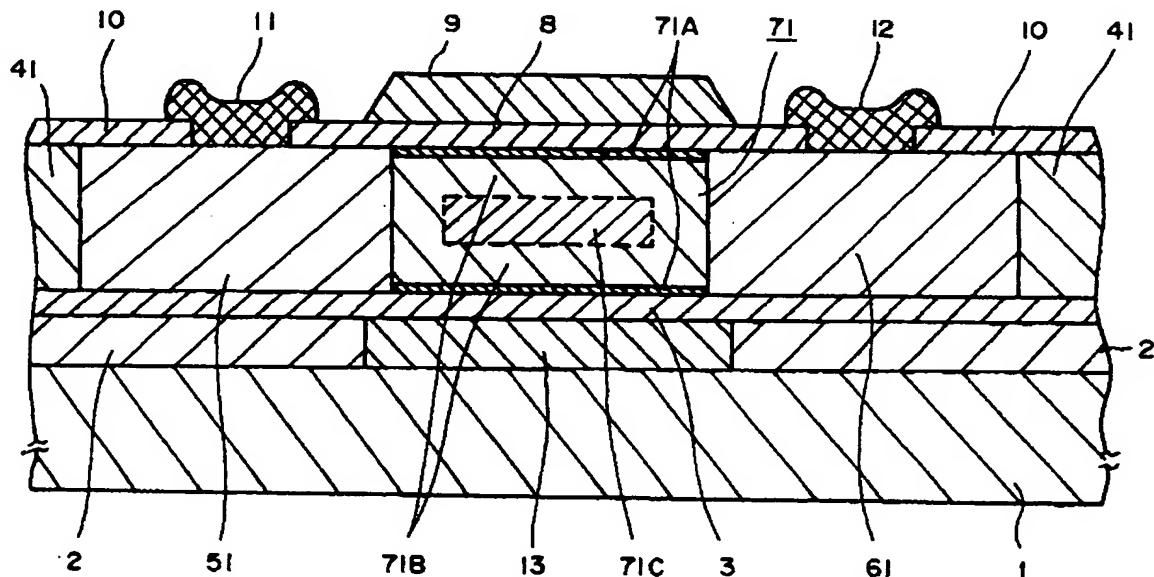
7B……空乏層、

8……上部ゲート絶縁膜、

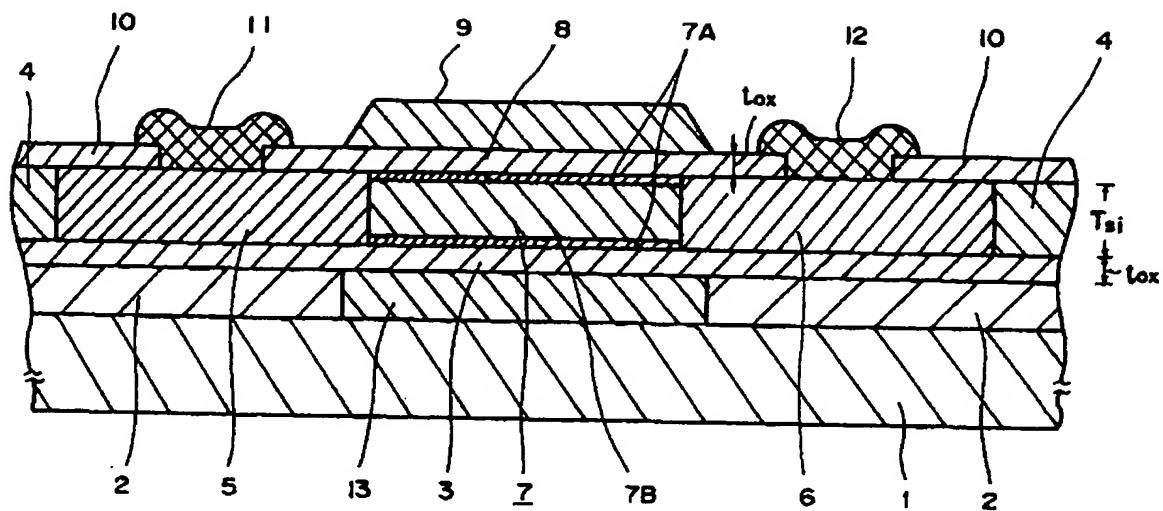
9……上部ゲート電極、

13……下部ゲート電極。

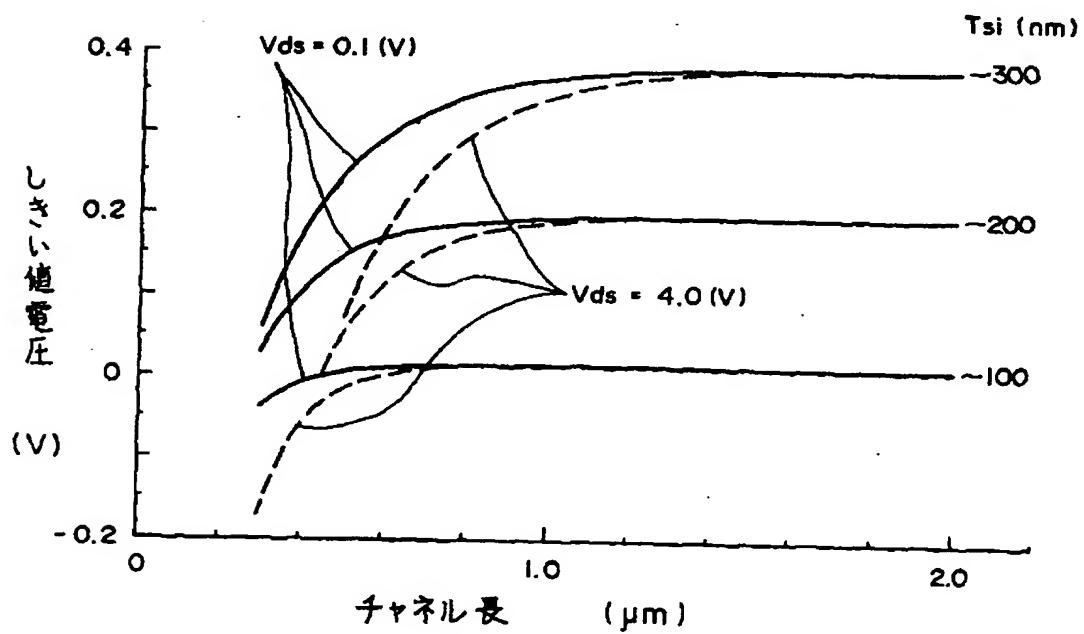
【第1図】



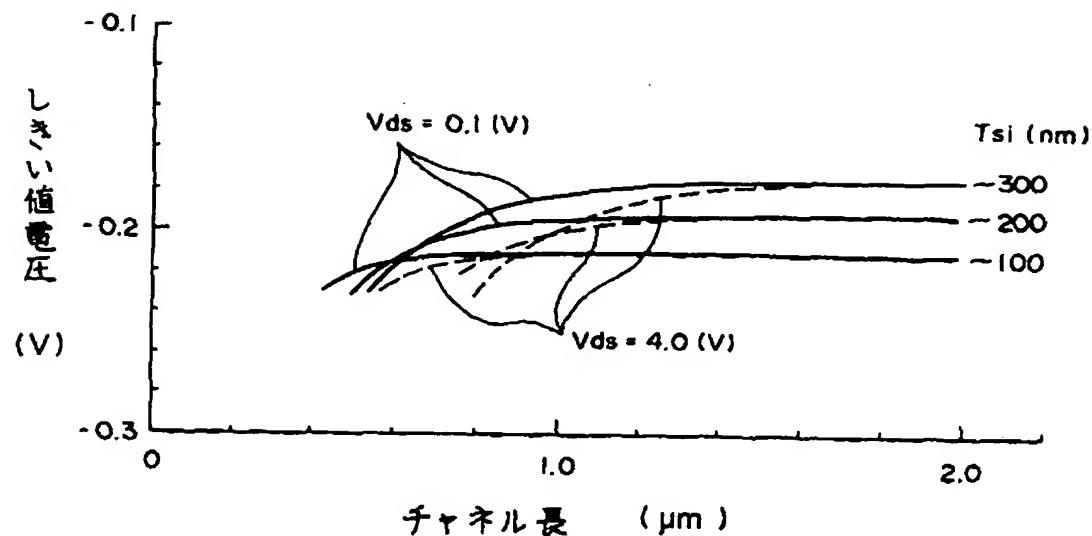
【第2図】



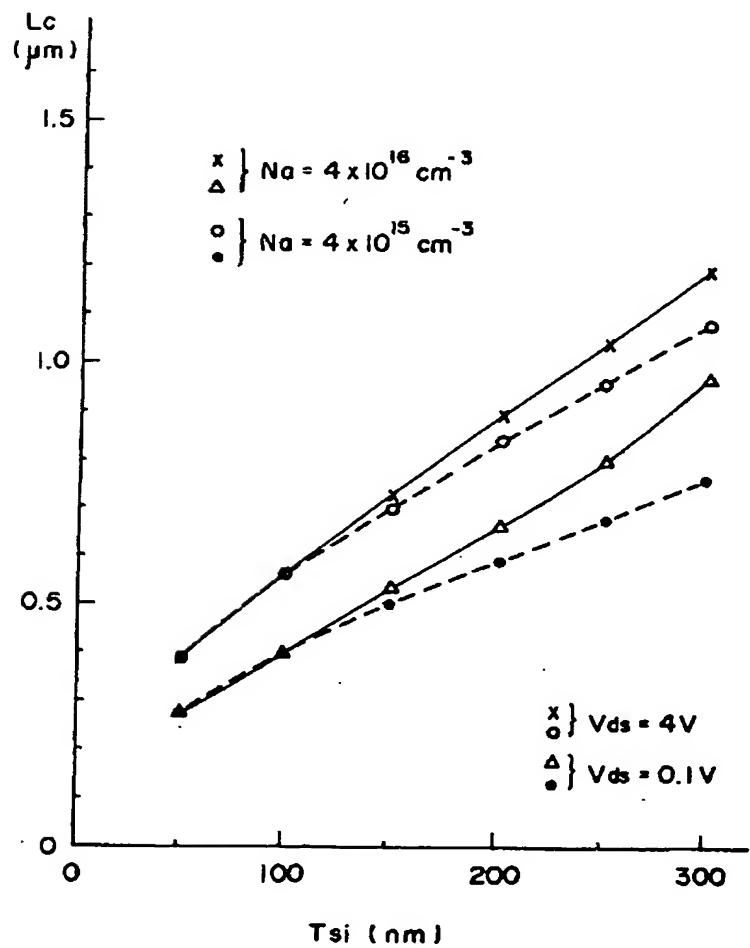
【第3図】



【第4図】



【第5図】



フロントページの続き

(72) 発明者 鶴島 稔夫

茨城県新治郡桜村梅園1丁目1番4号 電
子技術総合研究所内

(56) 参考文献 特開 昭56-111261 (J P, A)

特開 昭57-90977 (J P, A)

原史 外2名著「超LSI入門シリーズ

▲○2▼ MOSトランジスタの動作理

論」(昭56-5-1) (株)近代科学社

P. 111-118